

Requested Patent: JP11232131A  
Title: TESTING METHOD FOR DATA PROCESSOR ;  
Abstracted Patent: JP11232131 ;  
Publication Date: 1999-08-27 ;  
Inventor(s): MITSUMATA HIROICHI; KODAMA YUTAKA; SHIROTA JOJI ;  
Applicant(s): HITACHI LTD; HITACHI INFORMATION TECHNOLOGY CO LTD ;  
Application Number: JP19980030842 19980213 ;  
Priority Number(s): ;  
IPC Classification: G06F11/22; G06F9/38; G06F9/38 ;  
Equivalents:

**ABSTRACT:**

PROBLEM TO BE SOLVED: To make effectively verifiable the transition of all the branching prediction RAMs of multi-level constitution by generating a test instruction group for a branching prediction mechanism of a loop structure in an instruction group generated with random number data as input. SOLUTION: The generation part 202 of the instruction group for the branching prediction mechanism is composed of a general test instruction group generation part 203 and a branching system test instruction group generation part 204. From that and a test instruction detailed information table 209, a test instruction setting part 205 generates the test instruction group 212 for the branching mechanism and an execution initial value 210 by using a random number value generation part 201 for generating a random value. A simulation processing part 206 generates an expected value 213 by using the test instruction group 212 for the branching mechanism and the execution initial value 210. A test instruction execution part 207 executes the instruction to be tested by using the execution initial value 210 and the test instruction group 212 for the branching instruction mechanism. A comparison processing part 208 compares an executed result value 214 sampled from the test instruction execution part 207 with the expected value 213, generates an error message and outputs it to an error message output part 211.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-232131

(43) 公開日 平成11年(1999)8月27日

(51) Int.Cl. 6 識別記号  
G 06 F 11/22 310  
9/38 330  
380

F I  
G 0 6 F 11/22 3 1 0 C  
9/38 3 3 0 A  
3 3 0 E  
3 8 0 C

審査請求 未請求 請求項の数1 OL (全 10 頁)

(21)出願番号	特願平10-30842	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22)出願日	平成10年(1998) 2月13日	(71)出願人	000153454 株式会社日立インフォメーションテクノロジー 神奈川県秦野市堀山下 1番地
(72)発明者	三俣 博一 神奈川県秦野市堀山下 1番地 株式会社日立インフォメーションテクノロジー内	(74)代理人	弁理士 小川 勝男

最終頁に統く

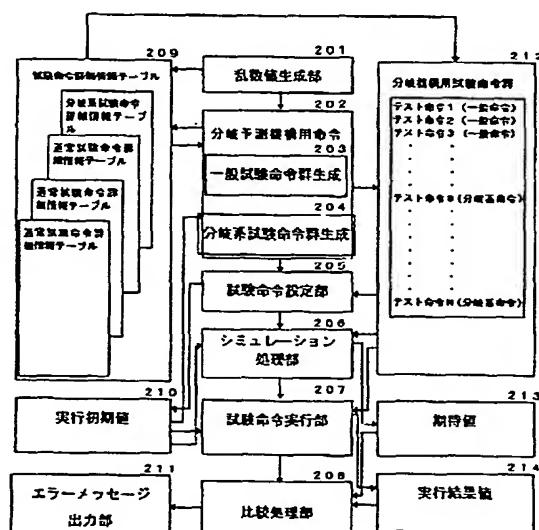
(54) 【発明の名称】 データ処理装置のテスト方法

(57) 【要約】

【課題】バイオライン処理方式における多階層分歧予測機構論理を効率的に検証するデータ処理装置のテスト方法を提供する。

【解決手段】乱数データを入力として生成する命令群について、ループ構造の分岐予測機構用試験命令群を生成し、同一分岐命令を複数回実行させることにより、分岐予測機構の分岐予測状態の遷移を試験する。

### （四）分歧被视作实践革命之完成方式



## 【特許請求の範囲】

【請求項1】乱数データを入力として試験命令群を生成する処理と、前記試験命令群の実行結果の期待値をシミュレーションにより作成する処理と、前記試験命令群を被試験データ処理装置に実行させる処理と、前記シミュレーションにより作成した実行結果の期待値と前記データ処理装置における実行結果の値とを比較する処理と、比較により不一致が生じた場合に、不一致となった命令を抽出してエラーメッセージを出力する処理からなるデータ処理装置のテスト方法において、前記試験命令群生成処理としてループ構造の試験命令群生成処理を有し、同一分岐命令を複数回実行させることにより、バイ二ライン処理方式における分岐予測機構論理の試験することを特徴とするデータ処理装置のテスト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データ処理装置の試験に関し、特にランダムに試験命令群を生成して被試験データ処理装置の処理機能を試験する方法に関する。

## 【0002】

【従来の技術】データ処理装置の高性能化を支える技術として、命令をいくつかの処理ステージに分解し、各装置(ユニット)が特定のステージを1マシンサイクル毎に処理するバイ二ライン処理方式が広く採用されている。更にバイ二ラインを円滑に処理するために、分岐系命令時に分岐条件成立/不成立を予測し、予め先行される命令を決定する分岐予測機構が広く採用されている。前記分岐予測機構は、分岐状態を保存しておくために多階層の分岐予測RAMを有しており、分岐系命令実行毎に前記分岐予測RAMを参照して分岐条件成立/不成立を予測することによって分岐による命令遷移の高速化を実現している。

【0003】処理性能向上/高密度実装化に伴い、上記分岐予測機構で制御する分岐状態の種類、分岐予測RAM数が増加しており、非ループ型試験命令では処理能力向上のために組み込まれている多種の高速化論理及び分岐予測論理動作の組合せをテストするためには、大量のテストパターンを実行することが必要であり、短時間で効果的な検証を実現することが困難になってきた。従来の非ループ型のデータ処理テスト方法としては、例えば、特開平8-166892号公報等に記載された技術がある。

## 【0004】

【発明が解決しようとする課題】従来の技術では、乱数データを入力として生成する試験命令群は、全て非ループ型命令群であり、そのため命令実行されるアドレスが関係する分岐予測処理の検証には不向きであった。従来はこれを解決するために、試験実行前に分岐予測RAMに直接、分岐状態を設定し試験する等の方式を採用していた。ただし、これは分岐予測RAMが単一の場合であ

り、多階層の分岐予測RAMの試験は対象としていなかった。これを複数の分岐予測RAMに拡大し、従来の技術でこれらのRAMに分岐状態を設定し、試験を行っても分岐状態が遷移しにくい最下層の分岐予測RAMを検証することが困難であり、また分岐予測RAMには外部からの設定が不可能であるという問題も発生する。本発明の目的は、上記問題点の解決を図り、多階層構成の全ての分岐予測RAMの遷移を効果的に検証することにある。

## 【0005】

【課題を解決するための手段】本発明は、乱数データを入力として生成する命令群に於いて、ループ構造の分岐予測機構用試験命令群を生成することにより、多階層の分岐予測RAMから構成される分岐予測論理を効果的に検証することが可能になる。

## 【0006】

【発明の実施の形態】以下、本発明の一実施例を図面により詳細に説明する。

【0007】図1は、試験対象データ処理装置内に構成されている分岐予測機構の構成と動作の一実施例である。図1の分岐予測機構は、分岐予測RAM1(103)、分岐予測RAM2(104)の2階層の分岐予測RAMで構成されている。前記バイ二ライン処理において先行して命令を登録しておく命令キューに分岐命令が選択されたとき(101)、分岐予測RAM1(103)の分岐状態は分岐成立予測であるため分岐命令以降、命令キューに分岐成立先の命令を登録するが、次に参照する分岐予測RAM2(104)内の分岐状態は分岐不成立予測であるため、既に分岐予測RAM1(103)で予測されて命令キューに登録されている分岐成立先命令をキャンセルし、分岐予測RAM1(103)内の分岐状態を分岐成立予測から分岐不成立予測に書き換える(102)。この様に分岐予測機構では、分岐予測先の命令を先行して実行する事で、バイ二ライン処理による命令実行のペナルティを無くす事が可能となり高速な分岐命令処理を実現できる。

【0008】図2は、試験対象データ処理装置の試験装置の構成を示す本発明の一実施例のブロック図である。図2において試験装置は、ランダムな値を生成する乱数値生成部(201)を用い、一般試験命令群生成部(203)／分岐系試験命令群生成部(204)から成る分岐予測機構用命令群生成部(202)と試験命令詳細情報テーブル(209)から分岐機構用試験命令群(212)と実行初期値(210)を生成する試験命令設定部(205)、分岐機構用試験命令群(212)と実行初期値(210)を用いて期待値(213)を生成するシミュレーション処理部(206)、実行初期値(210)／分岐命令機構用試験命令群(212)を用いて、被試験命令を実行する試験命令実行部(207)、試験命令実行部(207)から採取した実行結果値(214)

4)と期待値(213)を比較しエラーメッセージを作成する比較処理部(208)、エラーメッセージ出力部(211)より構成される。

【0009】図3は、図2の試験装置全体の処理を示すフローチャートである。生成した乱数値(301)を入力として試験命令詳細情報テーブル、分岐機構用試験命令群、実行初期値を生成し(302)、試験命令群の命令をシミュレートし期待値を作成する(303)。その後試験対象装置上で同一命令群を実行し実行結果を得(204)、実行結果値と期待値を比較チェックし(305)不一致となる実行結果値を生成し(306)、エラーメッセージとして出力する(307)。上記操作を指定された回数分の試験を実行し終えるまで繰り返す(308)。

【0010】図4は、本発明で使用される各テーブルのフォーマットを示す図である。試験命令詳細情報テーブル(403)は、複数の分岐系試験命令詳細情報テーブル(401)と一般試験命令詳細情報テーブル(402)で構成されており、一般試験命令詳細情報テーブル(402)内の情報として、試験命令種、命令タイプ、命令によって試験される内容(機能)が、分岐系試験命令詳細情報テーブル(401)には、一般試験命令詳細情報テーブル(402)の情報に加え、この分岐系試験命令で機能される分岐タイプ、分岐先が同一ページか他ページに分岐するかを示す分岐先、分岐先のアドレスの方向を示す分岐方向、逐次実行して既に決定された試験命令のアドレスに到着する命令数を示す分岐後走行有効数、成立/不成立を示す分岐状態、試験命令詳細情報テーブル群で試験されるループの重複数、ループ内命令数、試験命令番号、ループ要因となる分岐系命令の分岐先実アドレスが示される1重ループ目開始アドレス/2重ループ目開始アドレス、ループの終了のアドレスが示される1重ループ目終了アドレス/2重ループ目終了アドレス、ループ数を保持しておくレジスタを示す1重目更新レジスタ/2重目更新レジスタ、ループ脱出用比較命令で前記更新レジスタを比較しループを脱出するため用いる1重ループ目比較レジスタ/2重ループ目比較レジスタ、ループの情報を示す1重ループカウンタ/2重ループカウンタ/ループ内命令数合計で構成されている。

【0011】図5は、図4で示した試験命令詳細情報テーブル(403)から生成される2重ループ試験命令群による分岐予測機構について示したものである。分岐予測機構をテストする際、2重ループにて同一命令列を2回実行する事で分岐予測の分岐状態遷移を効率良く試験することが可能となる。試験命令詳細情報テーブル(501)から生成された2重ループ試験命令群(502)は、1/2重ループの分岐先である1/2重ループ先頭命令、ループ内命令列に分岐するループ内分岐命令、ループを構成するための1/2重ループ脱出用比較命令、

一般命令から構成される。前記2重ループ試験命令群(502)を試験したときの、ループ命令列内のループ内分岐命令Aの分岐成立/不成立を示したものが分岐命令Aの分岐状態遷移(503)、また分岐命令Aによって前記分岐予測機構の分岐予測RAMの状態遷移及び分岐予測を示したものが分岐命令Aによる分岐予測RAMの状態遷移(504)である。前記分岐命令Aにおける条件成立、条件不成立時の分岐命令Aの分岐状態遷移(503)から、前記分岐予測機構の動作について述べる。分岐命令Aの1回目の実行が行われるとき、前記分岐予測機構は分岐予測RAMの値が“00”から分岐不成立と判断し分岐命令Aの条件不成立先を先行して命令を実行しようするが、実際は分岐命令Aは分岐成立なので分岐予測機構の分岐予測はミスとなり、分岐命令Aの条件不成立先の命令をとりやめ分岐命令Aの条件成立先の命令を実行し、分岐予測RAMに“01”を書き込む。次に2回目の分岐命令Aの実行時は、一回目の実行時、条件が成立していたので分岐予測機構は分岐成立と判断し、分岐命令Aの条件成立先を先行して命令を実行し、実際分岐命令Aは分岐成立しているので、予測はヒットとなる。前記動作をループによってN回行うことによって分岐予測RAMの分岐状態の全ての組合せをテストする事が可能となる。従来の非ループ型試験命令では、前記分岐命令Aにたいし一回しか命令実行しないことから、前記分岐予測機構による分岐予測は一回しか行われないので分岐予測状態の組合せを全てテストすることができない。

【0012】図6は、図3の試験命令群の生成(302)の処理を示すフローチャートである。前記分岐予測機構試験の基盤となるループ型(601)、ループ内の命令群で使用される試験空間(602)を選択し、ループを引き起こす分岐系命令及び、同一路内で分岐する分岐系命令の分岐系試験詳細情報テーブルを作成(603)する。選択された命令が一般命令(605)のときは、命令種別、機能等を決定し一般試験情報テーブルを作成(606)、前記情報テーブルから命令の機能を満たすレジスタ、初期値を決定し命令を生成(607)する。試験命令タイプが分岐系命令(605)のときは、既に作成した分岐系試験命令情報詳細テーブル(603)から、逐次に生成された試験命令に対し、ループを引き起こす分岐系命令なら分岐先のアドレス及び試験命令情報テーブル番号を算出し、分岐系命令がループ内への分岐命令のときは、この分岐命令のアドレスから前記ループ命令のアドレスとを比較し、同一試験空間内であれば現在のアドレスが待避される分岐命令を、異なるページであるアドレス空間であれば同一ページであるアドレス空間へ分岐される分岐命令を生成し(610)、上記分岐系命令を正常にループまたは分岐成立/不成立するために分岐の比較対象となるレジスタを設定する命令及び、比較命令を生成し(611)、上記処理

をくりかえす(609)。

【0013】図7は、分岐系試験命令詳細情報テーブルを生成するフローチャートである。選択された分岐系命令が、ループを生成するための分岐命令のとき(701)は、分岐予測機構により分岐予測RAM内の分岐予測状態が十分に遷移するようループ重複数、カウンターを決定し(702)、ループ内での命令群によりループの不成立を防ぐために、ループを制御するレジスタを決定し(703)、分岐予測RAM内のエントリが、全て作動するよう分岐命令自身のアドレス及び、分岐先アドレスを決定する(704)。

【0014】

【発明の効果】本発明により、高性能なバイオライン処理方式で分岐予測機構を採用している被試験対象に対し、従来よりも分岐予測機構論理により高い負荷を与えることが可能となり、多階層の分岐予測論理を有する処理装置に対する検証効率を向上を図ることができる。

【図面の簡単な説明】

【図1】分岐予測機構の構成と動作例。

【図2】本発明の一実施例の試験方法によりデータ処理装置の試験を実施する試験システムの構成を示すブロック図である。

【図3】図2の試験システム全体の処理を示すフローチャートである。

【図4】本試験システムが使用するデータテーブルフォーマット例である。

【図5】図4のテーブルから生成される分岐ループ命令試験と分岐予測動作例である。

【図6】図2の試験命令生成部の内部処理を示すブロック図である。

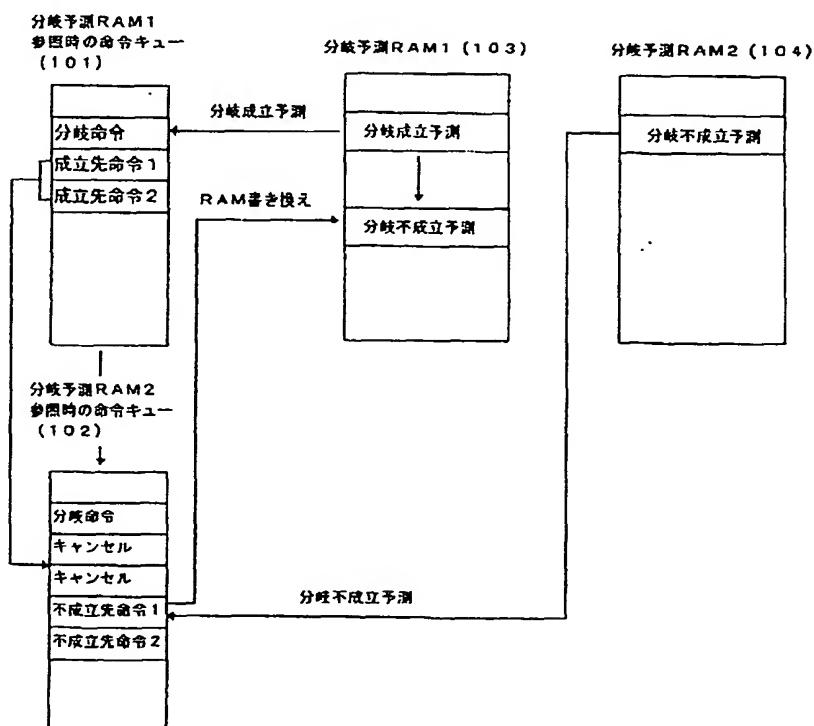
【図7】図2の分岐系試験命令生成を示すフローチャートである。

【符号の説明】

- 201 乱数値生成部
- 202 分岐予測機構用命令群生成部
- 203 一般試験命令群生成部
- 204 分岐系試験命令生成部
- 205 試験命令設定部
- 206 シミュレーション処理部
- 207 試験命令実行部
- 208 エラーメッセージ出力部
- 209 試験命令群詳細情報テーブル
- 210 実行初期値
- 211 エラーメッセージ
- 212 分岐機構用試験命令群
- 213 期待値
- 214 実行結果値

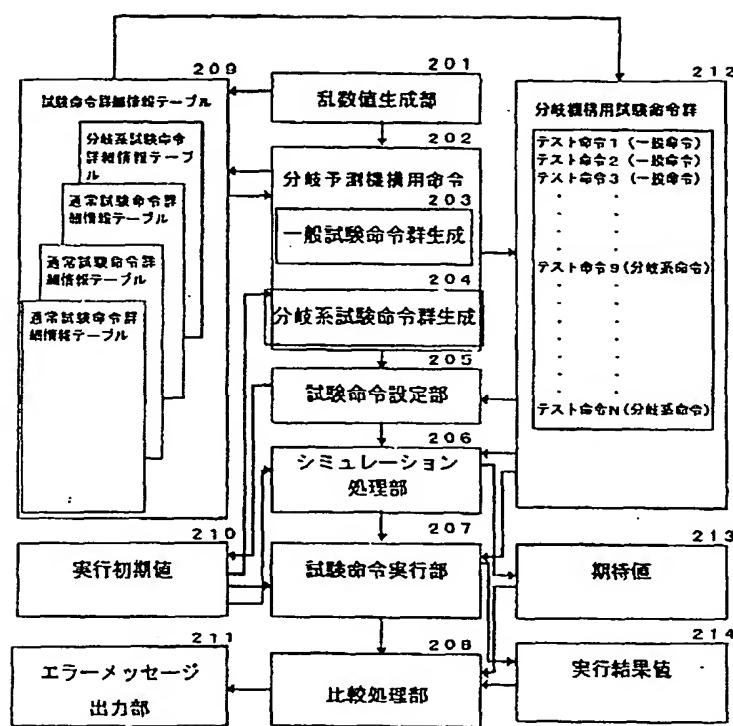
【図1】

(図1) 分岐予測機構の構成と動作例



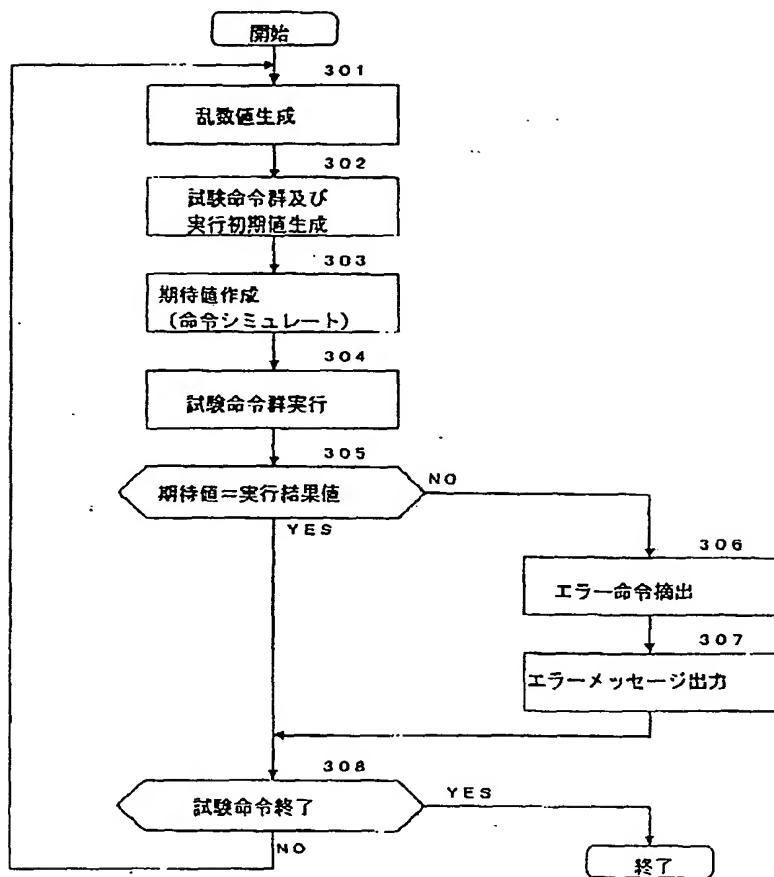
【図2】

(図2) 分岐構構用試験命令生成方式



【図3】

(図3) 分岐予測構用フローチャート



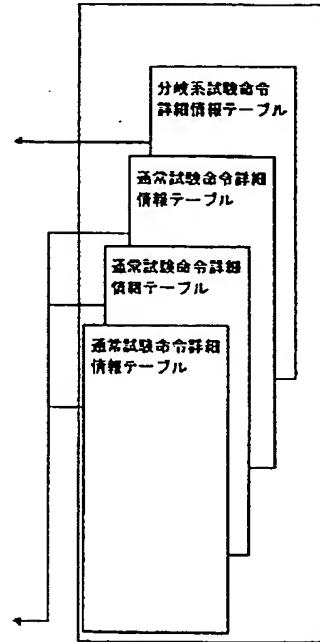
【図4】

(図4) 使用テーブルフォーマット例

分歧系試験命令詳細情報テーブル (401)

種別	BC
タイプ	BR
機能	ループ
分歧タイプ	ループ型
分歧先	同一ページ
分歧方向	上方分歧
分歧後走行有效数	50命令
分歧状態	成立
ループ重複数	2重ループ
ループ内命令数	60命令
試験命令番号	13番目
1重ループ目開始アドレス	0x12345678.abcdef0
1重ループ目終了アドレス	0x12345678.abcdef00
2重ループ目開始アドレス	0x12121212.34343434d0
2重ループ目終了アドレス	0x12121212.34343434d0
1重ループ日更新レジスタ	レジスタ13番
1重ループ日比較レジスタ	レジスタ20番
2重ループ日更新レジスタ	レジスタ8番
2重ループ日比較レジスタ	レジスタ4番
1重ループ日カウンター	6回
2重ループ日カウンター	5回
ループ内命令数合計	300命令

試験命令詳細情報テーブル (403)



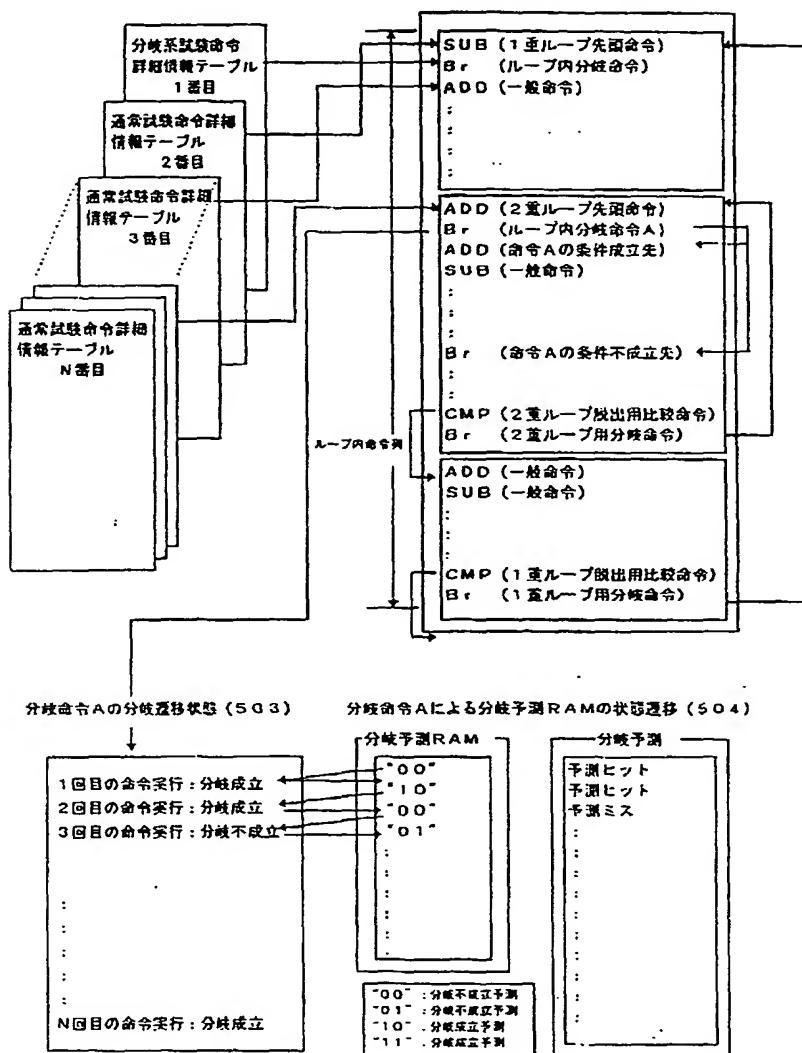
一般試験命令詳細情報テーブル (402)

種別	ADD
タイプ	RR
機能	レジスタコンプリクト

【図5】

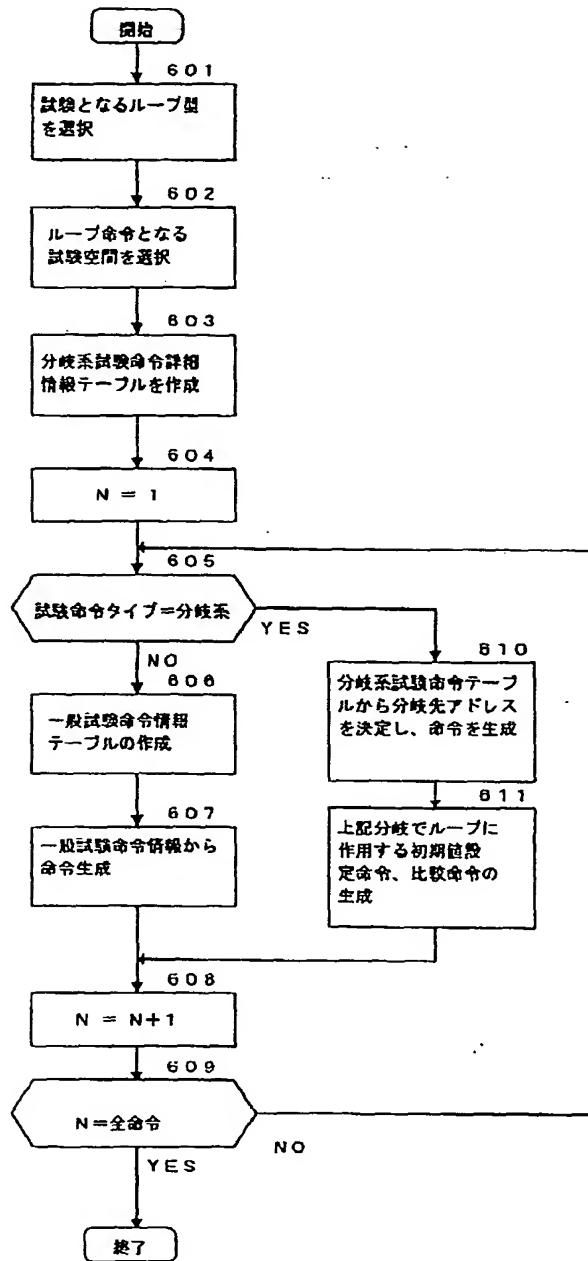
図5 分岐ループ命令試験による分岐予測

試験命令詳細情報テーブル (S01)



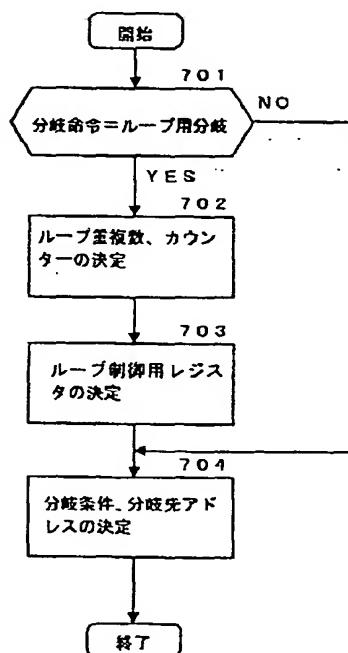
【図6】

(図6) 試験命令群生成フローチャート



【図7】

(図7) 分岐系試験命令詳細情報テーブル生成フローチャート



フロントページの続き

(72)発明者 児玉 豊

神奈川県秦野市堀山下1番地 株式会社日  
立インフォメーションテクノロジー内

(72)発明者 城田 丈治

神奈川県海老名市下今泉810番地 株式会  
社日立製作所オフィスシステム事業部内